



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Kirchner
Serial No: 10/692,448
Filed: 10/23/2003
For: DC/DC CONVERTER AND METHOD FOR DC VOLTAGE CONVERSION

Docket No: TI-34407

Examiner: TBD

Art Unit: TBD

CLAIM FOR PRIORITY FROM FOREIGN APPLICATION UNDER 35 U.S.C. §119

Assistant Commissioner For Patents
Washington, DC 20231

MAILING CERTIFICATE UNDER 37 C.F.R. §1.8(a)
I hereby certify that the above correspondence is being deposited with the U.S. Postal Service as First Class Mail in an envelope addressed to: Assistant Commissioner for Patents, PO Box 1450, Alexandria, VA 22313-1450 on
1-21-04

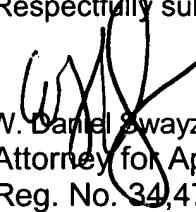

Tonimie Chambers

Dear Sir:

I hereby claim foreign priority under 35 U.S.C. §119(a)-(d) or (f), or 365(b) of any foreign application(s) for patent, inventor's or plant breeder's rights certificate(s), or 365(a) of any PCT International application which designated at least one country other than the United States of America, listed below and have also identified below, any foreign application for patent, inventor's or plant breeder's rights certificate(s), or any PCT international application having a filing date that of the application which priority is claimed.

Prior Foreign Application Number(s)	COUNTRY	Foreign Filing Date	Priority Not Claimed	Certified Copy Attached?	
				Yes	No
102 49 802.4	Germany	10/24/2002	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>

Respectfully submitted,


W. Daniel Swayze, Jr.
Attorney for Applicant
Reg. No. 34,478

Texas Instruments Incorporated
P.O. Box 655474, MS 3999
Dallas, TX 75265
(972) 917-5633

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 49 802.4

Anmeldetag: 24. Oktober 2002

Anmelder/Inhaber: Texas Instruments Deutschland GmbH, Freising/DE

Bezeichnung: Gleichspannungswandler und Verfahren zur Gleichspannungswandlung

IPC: H 02 M 3/156

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 9. Oktober 2003
Deutsches Patent- und Markenamt

Der Präsident
Im Auftrag

Faust

TEXAS INSTRUMENTS DEUTSCHLAND GMBH
Haggertystraße 1
85356 Freising

Unser Zeichen: T10090 DE
Hb

Gleichspannungswandler und Verfahren zur Gleichspannungswandlung

Die Erfindung betrifft einen Gleichspannungswandler sowie ein Verfahren zur Gleichspannungswandlung.

Im Stand der Technik gehören zu den einfachsten Gleichspannungswandlern die sogenannten Drosselwandler, die der möglichst verlustfreien Potentialwandlung einer Gleichspannung in eine gewünschte Ausgangsgleichspannung unter Zuhilfenahme einer Drossel dienen. Einer der Grundtypen der Drosselwandler ist der sogenannte Aufwärtsregler (Step-up-Converter), mit dem sich eine Eingangsgleichspannung in eine beliebige Ausgangsgleichspannung wandeln lässt, deren Wert den der Eingangsgleichspannung übersteigt.

Ein solcher Aufwärtsregler ist z.B. in dem Buch „Schaltnetzteile“ von Udo Leonhard Thiel, 2. Aufl., 1998, Franzis-Verlag, auf den Seiten 34 ff. beschrieben. Bei dem beschriebenen Aufwärtsregler liegt eine Eingangsspannung an einem Anschluß einer Spule, deren anderer Anschluß über einen steuerbaren Schalter wechselseitig mit Masse oder mit einem am Ausgang der Schaltung liegenden Kondensator bzw. einem Verbraucher verbunden werden kann. Der Tastgrad des Schalters bestimmt dabei den Wert der Ausgangsspannung. Zwischen dem anderen Anschluß der Spule und dem Kondensator liegt eine Diode, die einen Rückfluß des Stroms vom Ausgang des Reglers zum Eingang verhindert. Um die Schaltung stromsparender auszulegen, wird anstelle der

- 2 -

Diode in der Regel ein zweiter steuerbarer Schalter verwendet, wobei für den ersten Schalter ein NMOS-FET und für den zweiten Schalter ein PMOS-FET verwendet wird.

Eine solche Schaltung, bei der als steuerbare Schalter zwei MOS-FETs verwendet werden, ist zur Veranschaulichung in der Fig. 1 dargestellt. Dabei ist der NMOS-FET mit N1 und der PMOS-FET mit P1 bezeichnet. Die Spule L ist mit ihrem einen Anschluß mit der Eingangsspannung V_{ein} des Gleichspannungswandlers verbunden und mit dem anderen Anschluß mit dem Drain-Anschluß des NMOS-FETs, dessen Source-Anschluß mit Massepotential V_{ss} verbunden ist. Der andere Anschluß der Spule L ist darüber hinaus mit dem Drain-Anschluß des PMOS-FETs P1 verbunden, dessen Source-Anschluß mit dem Ausgang der Schaltung verbunden ist. Der Back-Gate-Anschluß des PMOS-FETs ist mit der Ausgangsspannung V_{aus} verbunden. Es ist ferner eine Regelungsschaltung 1 vorgesehen, die die Ausgangsspannung V_{aus} überwacht und wechselweise die Schalter N1 und P1 durchschaltet, wobei der Tastgrad so eingestellt wird, daß der gewünschte Sollwert der Ausgangsspannung erreicht wird. Dabei wird abwechselnd die Ausgangsspannung V_{aus} und das Massepotential an die Gate-Anschlüsse der beiden MOS-FETs angelegt. Am Ausgang der Schaltung ist ferner ein Speicherkondensator C vorgesehen.

Ein Problem der in der Fig. 1 dargestellten einfachen Schaltung besteht darin, daß sie sich nur zur Aufwärts- aber nicht zur Abwärtsregelung von Spannungen einsetzen läßt. Wenn in der Schaltung der Fig. 1 der Wert der Eingangsspannung V_{ein} den Sollwert der Ausgangsspannung um eine Transistorwellenspannung überschreitet, fließt über das Back-Gate des PMOS-FETs P1 ein Strom, der den Ausgangskondensator C auf einen Wert auflädt, der über dem Sollwert der Ausgangsspannung liegt, so daß eine Abwärtsregelung nicht möglich ist.

Die in der Fig. 1 dargestellte Schaltung eignet sich daher z.B. nicht für batteriebetriebene Geräte, bei denen die Batteriespannung während der Lebensdauer der Batterie den Wert der Sollbetriebsspannung eines mit einem Spannungsregler betriebenen Geräts anfangs überschreitet, so daß sie heruntergeregelt werden muß, und später nach einer gewissen Entladung der Batterie überschreitet, so daß sie heraufgeregelt werden muß. Für solche

- 3 -

Anwendungen kommen als Spannungsregler bisher nur relativ aufwändige Wandler wie Aufwärts-/Abwärtswandler oder SEPIC-Wandler in Frage, die einen hohen Aufwand an externen Bauelementen aufweisen und daher kostenintensiv sind.

Der Erfindung liegt daher die Aufgabe zugrunde, einen besonders einfachen Gleichspannungswandler zu schaffen, der mit wenigen Bauelementen realisierbar ist und sowohl eine Abwärts- als auch eine Aufwärtsreglungsfunktion besitzt. Darüber hinaus liegt der Erfindung die Aufgabe zugrunde, ein besonders einfaches Verfahren zur Gleichspannungswandlung mittels eines Gleichspannungswandlers zu schaffen.

Diese Aufgabe wird durch einen Gleichspannungswandler mit einem Eingang, an dem eine Eingangsspannung liegt, einer Induktivität, deren einer Anschluß mit dem Eingang verbunden ist, einem ersten steuerbaren Schalter, über den der andere Anschluß der Induktivität mit einem Bezugspotential verbindbar ist, einem zweiten steuerbaren Schalter, über den der andere Anschluß der Induktivität mit dem Ausgang des Wandlers verbindbar ist, und einem Regelmittel gelöst, das so ausgebildet ist, daß es die beiden Schalter so steuern kann, daß die Ausgangsspannung des Gleichspannungswandlers auf einen vorherbestimmten Sollwert geregelt wird, wobei der zweite steuerbare Schalter ein PMOS-FET ist und das Regelmittel so ausgebildet ist, daß es dann, wenn die Eingangsspannung über dem Sollwert der Ausgangsspannung liegt, den Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbindet, die größer als die Differenz zwischen der Eingangsspannung und der Schwellenspannung des PMOS-FETs ist, den Back-Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbindet, die größer als der Ausdruck Eingangsspannung plus Schwellenspannung des PMOS-FETs minus Diodenspannung eines pn-Übergangs des PMOS-FETs ist, und den ersten steuerbaren Schalter mit einem bestimmten Tastgrad zeitlich so steuert, daß die Ausgangsspannung den Sollwert erreicht.

Ferner wird diese Aufgabe durch ein Verfahren zur Gleichspannungswandlung mittels eines Gleichspannungswandlers mit einem Eingang, an dem eine Eingangsspannung liegt, einer Induktivität, deren einer Anschluß mit dem Eingang verbunden ist, einem ersten steuerbaren Schalter, über den der andere Anschluß der Induktivität mit einem

- 4 -

Bezugspotential verbindbar ist, einem zweiten steuerbaren Schalter in Form eines PMOS-FETs, über dessen Source-Drain-Strecke der andere Anschluß der Induktivität mit dem Ausgang des Wandlers verbindbar ist, geschaffen, bei dem dann, wenn die Eingangsspannung des Gleichspannungswandlers über dem Sollwert der Ausgangsspannung liegt, der Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbunden wird, die größer als die Differenz zwischen der Eingangsspannung und der Schwellenspannung des PMOS-FETs ist; der Back-Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbunden wird, die größer als der Ausdruck Eingangsspannung plus Schwellenspannung des PMOS-FETs minus Diodenspannung eines pn-Übergangs des PMOS-FETs ist, und der erste steuerbare Schalter mit einem bestimmten Tastgrad zeitlich so gesteuert wird, daß die Ausgangsspannung den Sollwert erreicht.

Vorteilhafte Weiterbildungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Die Erfindung wird nun anhand der Zeichnung beispielhalber erläutert. Es zeigen:

- Fig. 1 ein Schaltbild eines Gleichspannungswandlers, das zur Erläuterung der Motivation des erfindungsgemäßen Gleichspannungswandlers dient;
- Fig. 2 ein Schaltbild einer bevorzugten Ausführungsform eines erfindungsgemäßen Gleichspannungswandlers.

Die Fig. 1 zeigt eine in der Beschreibungseinleitung beschriebene Gleichspannungswandlerschaltung, die zur Erläuterung der Motivation der Erfindung dient.

In der Fig. 2 ist eine bevorzugte Ausführungsform eines erfindungsgemäßen Gleichspannungswandlers in Form eines Schaltbilds dargestellt.

- 5 -

Die in der Fig. 2 dargestellte Schaltung ist ähnlich derjenigen aufgebaut, die in der Fig. 1 dargestellt ist. Zunächst wird der Aufbau der in der Fig. 2 dargestellten Schaltung beschrieben.

Die Schaltung weist eine Induktivität L auf, die auch als Drosselpule bezeichnet wird. An dem einen Anschluß der Induktivität liegt die Eingangsspannung V_{in} des Gleichspannungswandlers, die z.B. von einer Batterie geliefert werden kann. Der andere Anschluß der Induktivität L ist mit dem Drain-Anschluß eines NMOS-FETs N1 verbunden, dessen Source-Anschluß mit einem Bezugspotential verbunden ist, das im vorliegenden Beispiel aus dem Massepotential V_{ss} besteht. Anstelle des ersten NMOS-FETs N1 kann auch ein anderer steuerbarer Schalter, z.B. ein bipolarer Transistor, verwendet werden.

Der andere Anschluß der Induktivität L ist darüber hinaus mit dem Drain-Anschluß eines ersten PMOS-FETs P1 verbunden, dessen Source-Anschluß mit dem Ausgang des Gleichspannungswandlers verbunden ist, an dem eine Ausgangsspannung V_{aus} anliegt.

Der Back-Gate-Anschluß des ersten PMOS-FETs P1 ist - anders als in der Fig. 1 - nicht mit der Ausgangsspannung V_{aus} , sondern mit dem Drain-Anschluß eines zweiten PMOS-FETs P2 verbunden, dessen Source-Anschluß mit dem Ausgang des Wandlers verbunden ist, an dem die Ausgangsspannung V_{aus} anliegt. Der Back-Gate-Anschluß des zweiten PMOS-FETs P2 ist mit dem Back-Gate-Anschluß des ersten PMOS-FETs P1 verbunden.

Bei der beschriebenen bevorzugten Ausführungsform des Gleichspannungswandlers sind alle MOS-FETs selbstsperrend.

Am Ausgang der Schaltung liegt ein Speicher kondensator C.

Die Schaltung umfaßt darüber hinaus ein Regelmittel 1, das einen (nicht dargestellten) Oszillator umfaßt. Das Regelmittel ist mit den Gate-Anschlüssen der drei MOS-FETs N1, P1 und P2 verbunden und steuert diese. Das Regelmittel umfaßt darüber hinaus ein

(nicht dargestelltes) erstes Vergleichsmittel, mit dem festgestellt werden kann, ob die Ausgangsspannung V_{aus} einen vorgegebenen Sollwert unterschreitet. Das erste Vergleichsmittel kann z.B. aus einem Komparator bestehen, an dessen einem Eingang eine Referenzspannung anliegt, die den Sollwert der Ausgangsspannung definiert und an dessen anderem Eingang eine von der tatsächlichen Ausgangsspannung abgeleitete Spannung anliegt, die z.B. über einen ohmschen Spannungsteiler von der Ausgangsspannung in bekannter Weise abgeleitet werden kann. Das Regelmittel umfaßt darüber hinaus ein zweites Vergleichsmittel, mit dem festgestellt werden kann, ob die Eingangsspannung V_{ein} des Wandlers über oder unter dem Sollwert der Ausgangsspannung liegt. Auch das zweite Vergleichsmittel kann aus einem Komparator bestehen, dessen Eingänge mit der Eingangsspannung V_{ein} bzw. mit der Ausgangsspannung V_{aus} verbunden sind.

Im folgenden wird die Funktionsweise der in der Fig. 2 dargestellten Schaltung für den Fall beschreiben, daß die Eingangsspannung V_{ein} der Schaltung von einer Batterie geliefert wird.

Es werde angenommen, daß die Batterie zunächst voll aufgeladen ist und die von der Batterie gelieferte Spannung V_{ein} über der Sollausgangsspannung $V_{aus,soll}$, die der Gleichspannungswandler für ein mit seinem Ausgang verbundenes elektronisches Gerät bereitstellen soll, liegt. Das zweite Vergleichsmittel in dem Regelmittel erkennt diesen Zustand und gibt ein entsprechendes Signal ab, durch das der Gleichspannungswandler dann in einen sogenannten Down-Modus gebracht wird, in dem am Ausgang des Wandlers eine Spannung erzielt wird, die unter der Eingangsspannung V_{ein} liegt.

Das wird dadurch erzielt, daß das Regelmittel an den Gate-Anschluß des ersten PMOS-FETs P1 und an den Gate-Anschluß des zweiten PMOS-FETs P2 permanent die Eingangsspannung V_{ein} anlegt. Dadurch wird – anders als bei der in der Fig. 1 dargestellten Schaltung – verhindert, daß ein Stromfluß über das Back-Gate des ersten PMOS-FETs P1 zum Ausgang des Wandlers erfolgen kann. Der erste PMOS-FET P1 wird im Down-Modus nicht aktiv eingeschaltet. Die Spannung am Schaltungspunkt 2 bewegt sich zwischen 0 Volt und V_{ein} plus einer Schwellenspannung V_{TPMOS} des

PMOS-FETs. Im Down-Modus ist es so möglich, eine gewünschte Ausgangsspannung zu erzielen, die unter der Eingangsspannung Vein des Wandlers liegt. Der NMOS-FET N1 wird im Down-Modus mit einem bestimmten Tastgrad ein- und ausgeschaltet, um eine gewünschte Sollspannung am Ausgang des Wandlers zu erzielen, die unter der Eingangsspannung Vein liegt. Dabei wird der Gate-Anschluß des NMOS-FETs N1 abwechselnd durch das Regelmittel 1 mit der Ausgangsspannung Vaus (N1 durchgeschaltet) und dem Massepotential Vss (N1 gesperrt) verbunden. Der Tastgrad D, d.h. das Verhältnis zwischen der Einschaltzeit ton von N1 und der Periodendauer T bestimmt sich dabei nach der folgenden Formel: $D = t_{on}/T = V_{TPMOS} / (V_{ein} + V_{TPMOS})$, wobei angenommen wurde, daß es keine ohmschen Verluste durch die Schalter N1 und P1 gibt. Der Tastgrad wird dabei mit Hilfe des ersten Vergleichsmittels so korrigiert, daß eine gewünschte Ausgangsspannung Vaus erzielt wird. Wenn der NMOS-FET N1 im Down-Modus eingeschaltet wird, bildet sich ein Strom durch die Spule L. Wird der NMOS-FET N1 dann wieder ausgeschaltet, so wird der Knotenpunkt 2 um eine Schwellenspannung des PMOS-FETs P1 über die Eingangsspannung gezogen, bis ein Strom zum Ausgang des Wandlers zu fließen beginnt. Durch den so erzeugten Spannungsabfall wird es möglich, daß der Spulenstrom abfällt, wenn der NMOS-FET ausgeschaltet ist und so wird die Ausgangsspannung Vaus des Wandlers nicht auf den Wert der Eingangsspannung Vein gezwungen, sondern kann Werte annehmen, die unter dem Wert der Eingangsspannung Vein liegen.

Der Wirkungsgrad im Down-Modus ist wegen des Spannungsabfalls über dem PMOS-FET um ca. 10 bis 20 Prozent schlechter als im normalen und unten beschriebenen Boost-Modus. Für batteriebetriebene Anwendungen, bei denen die Batteriespannung z.B. nur während einiger Prozent der Gesamtlebensdauer der Batterie über dem gewünschten Spannungssollwert liegt, stellt der beschriebene Wandler jedoch eine einfache und kostengünstige Lösung dar.

Für das Funktionieren des erfindungsgemäßen Gleichspannungswandlers muß die Gate-Spannung des ersten PMOS-FETs P1 im Down-Modus nicht notwendigerweise der Eingangsspannung Vein entsprechen, es muß lediglich eine Spannung angelegt werden,

die größer als die Differenz zwischen der Eingangsspannung V_{in} und der Schwellenspannung V_{TPMOS} des PMOS-FETs ist.

Auch kann die Abkopplung des Back-Gates des ersten PMOS-FETs P1 in anderer Weise erfolgen als in der Fig. 2 dargestellt und oben beschrieben. Es muß nur im Down-Modus permanent eine Spannung an das Back-Gate des ersten PMOS-FETs P1 angelegt werden, die größer als der Ausdruck Eingangsspannung plus Schwellenspannung des PMOS-FETs minus Diodenspannung eines pn-Übergangs des PMOS-FETs ist.

Wenn nun die am Eingang des Gleichspannungswandlers liegende Batteriespannung im Laufe der Lebensdauer der Batterie allmählich absinkt und die Sollausgangsspannung des Gleichspannungswandlers unterschreitet, so gibt das zweite Vergleichsmittel in dem Regelmittel ein Signal ab, durch das der Wandler in einen zweiten Betriebsmodus, den sogenannten Boost-Modus umgeschaltet wird. In diesem Modus wird am Ausgang des Gleichspannungswandlers eine Spannung erzielt, die über der Eingangsspannung V_{in} liegt. Im Boost-Modus wird dann der Gate-Anschluß des zweiten PMOS-FETs P2 durch das Regelmittel 1 permanent mit dem Bezugspotential, d.h. dem Massepotential V_{ss} verbunden. Darüber hinaus werden der NMOS-FET N1 sowie der erste PMOS-FET P1 abwechselnd mit einem bestimmten Tastgrad durchgeschaltet und gesperrt, der so ausgewählt ist, daß der gewünschte Sollwert der Ausgangsspannung am Ausgang des Wandlers erzielt wird. Dabei werden dann, wenn der NMOS-FET N1 durchgeschaltet und der erste PMOS-FET P1 gesperrt sein soll, wodurch Energie in der Spule L gespeichert wird, durch das Regelmittel 1 an die Gate-Anschlüsse des NMOS-FETs N1 sowie des ersten PMOS-FETs P1 die Ausgangsspannung V_{aus} angelegt und dann, wenn der NMOS-FET N1 gesperrt und der erste PMOS-FET P1 durchgeschaltet sein soll, wodurch Energie von der Spule L zum Ausgang des Wandlers abgegeben wird, durch das Regelmittel 1 an die Gate-Anschlüsse des NMOS-FETs N1 sowie des ersten PMOS-FETs P1 das Massepotential V_{ss} angelegt. Dieser Betrieb des Gleichspannungswandlers als Aufwärtswandler ist im Stand der Technik bekannt und wird daher hier nicht weiter erläutert.

- 9 -

Patentansprüche

1. Gleichspannungswandler mit einem Eingang, an dem eine Eingangsspannung (Vein) liegt, einer Induktivität (L), deren einer Anschluß mit dem Eingang verbunden ist, einem ersten steuerbaren Schalter (N1), über den der andere Anschluß der Induktivität (L) mit einem Bezugspotential (Vss) verbindbar ist, einem zweiten steuerbaren Schalter (P1), über den der andere Anschluß der Induktivität (L) mit dem Ausgang des Wandlers verbindbar ist, und einem Regelmittel (1), das so ausgebildet ist, daß es die beiden Schalter (N1, P1) so steuern kann, daß die Ausgangsspannung (Vaus) des Gleichspannungswandlers auf einen vorherbestimmten Sollwert geregelt wird, wobei der zweite steuerbare Schalter ein PMOS-FET ist und das Regelmittel (1) so ausgebildet ist, daß es dann, wenn die Eingangsspannung (Vein) über dem Sollwert der Ausgangsspannung liegt, den Gate-Anschluß des PMOS-FETs (P1) permanent mit einer Spannung verbindet, die größer als die Differenz zwischen der Eingangsspannung und der Schwellenspannung des PMOS-FETs ist, den Back-Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbindet, die größer als der Ausdruck Eingangsspannung plus Schwellenspannung des PMOS-FETs minus Diodenspannung eines pn-Übergangs des PMOS-FETs ist, und den ersten steuerbaren Schalter (N1) mit einem bestimmten Tastgrad zeitlich so steuert, daß die Ausgangsspannung den Sollwert erreicht.
2. Gleichspannungswandler nach Anspruch 1, bei dem der erste steuerbare Schalter ein NMOS-FET ist.
3. Gleichspannungswandler nach Anspruch 2, bei dem beide MOS-FETs selbstsperrend sind.
4. Gleichspannungswandler nach einem der vorhergehenden Ansprüche, bei dem das Regelmittel so ausgebildet ist, daß es dann, wenn die Eingangsspannung über dem Sollwert der Ausgangsspannung liegt, den Gate-Anschluß des PMOS-FETs permanent mit der Eingangsspannung verbindet.

- 10 -

5. Gleichspannungswandler nach einem der Ansprüche 2 bis 4, bei dem das Regelmittel darüber hinaus so ausgebildet ist, daß es dann, wenn die Eingangsspannung unter dem Sollwert der Ausgangsspannung liegt, die Gate-Anschlüsse des NMOS-FETs und des PMOS-FETs zeitlich gesteuert wechselweise mit der Ausgangsspannung des Gleichspannungswandlers und dem Bezugspotential mit einem bestimmten Tastgrad so verbinden kann, daß die Ausgangsspannung des Gleichspannungswandlers den Sollwert erreicht.
6. Gleichspannungswandler nach einem der vorhergehenden Ansprüche, bei dem der Back-Gate-Anschluß des PMOS-FETs mit dem Drain-Anschluß eines weiteren PMOS-FETs verbunden ist, wobei der Source-Anschluß des weiteren PMOS-FETs mit dem Ausgang des Gleichspannungswandlers und der Back-Gate-Anschluß des weiteren PMOS-FETs mit seinem Drain-Anschluß verbunden ist und das Regelmittel so ausgebildet ist, daß es dann, wenn die Eingangsspannung über dem Sollwert der Ausgangsspannung liegt, den Gate-Anschluß des weiteren PMOS-FETs permanent mit der Eingangsspannung verbindet.
7. Gleichspannungswandler nach einem der vorhergehenden Ansprüche, bei dem darüber hinaus ein Speicherkondensator vorgesehen ist, der zwischen den Ausgang des Gleichspannungswandlers und das Bezugspotential geschaltet ist.
8. Gleichspannungswandler nach einem der vorhergehenden Ansprüche, bei dem das Bezugspotential Massepotential ist.
9. Verfahren zur Gleichspannungswandlung mittels eines Gleichspannungswandlers mit einem Eingang, an dem eine Eingangsspannung liegt, einer Induktivität, deren einer Anschluß mit dem Eingang verbunden ist, einem ersten steuerbaren Schalter, über den der andere Anschluß der Induktivität mit einem Bezugspotential verbindbar ist, einem zweiten steuerbaren Schalter in Form eines PMOS-FETs, über dessen Source-Drain-Strecke der andere Anschluß der Induktivität mit dem Ausgang des Wandlers verbindbar ist, bei dem dann, wenn die Eingangsspannung des Gleichspannungswandlers über dem Sollwert der Ausgangsspannung liegt, der Gate-Anschluß des PMOS-FETs permanent

- 11 -

mit einer Spannung verbunden wird, die größer als die Differenz zwischen der Eingangsspannung und der Schwellenspannung des PMOS-FETs ist, der Back-Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbunden wird, die größer als der Ausdruck Eingangsspannung plus Schwellenspannung des PMOS-FETs minus Diodenspannung eines pn-Übergangs des PMOS-FETs ist, und der erste steuerbare Schalter mit einem bestimmten Tastgrad zeitlich so gesteuert wird, daß die Ausgangsspannung den Sollwert erreicht.

10. Verfahren nach Anspruch 9, bei dem der erste steuerbare Schalter ein NMOS-FET ist.

11. Verfahren nach Anspruch 10, bei dem darüber hinaus dann, wenn die Eingangsspannung unter dem einen vorherbestimmten Sollwert für die Ausgangsspannung des Gleichspannungswandlers liegt, die beiden steuerbaren Schalter zeitlich so mit einem bestimmten Tastgrad in entgegengesetzter Weise gesteuert werden, daß die Ausgangsspannung den Sollwert erreicht, wobei an die Gate-Anschlüsse des PMOS-FETs und des NMOS-FETs wechselweise die Ausgangsspannung des Gleichspannungswandlers und das Bezugspotential angelegt werden.

- 12 -

Zusammenfassung

Die Erfindung betrifft einen Gleichspannungswandler mit einem Eingang, an dem eine Eingangsspannung V_{in} liegt, einer Induktivität L , deren einer Anschluß mit dem Eingang verbunden ist, einem ersten steuerbaren Schalter $N1$, über den der andere Anschluß der Induktivität mit einem Bezugspotential V_{ss} verbindbar ist, einem zweiten steuerbaren Schalter $P1$, über den der andere Anschluß der Induktivität mit dem Ausgang des Wandlers verbindbar ist, und einem Regelmittel 1 , das so ausgebildet ist, daß es die beiden Schalter so steuern kann, daß die Ausgangsspannung des Gleichspannungswandlers auf einen vorherbestimmten Sollwert geregelt wird. Der zweite steuerbare Schalter ist ein PMOS-FET. Das Regelmittel ist so ausgebildet ist, daß es dann, wenn die Eingangsspannung über dem Sollwert der Ausgangsspannung liegt, den Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbindet, die größer als die Differenz zwischen der Eingangsspannung und der Schwellenspannung des PMOS-FETs ist, den Back-Gate-Anschluß des PMOS-FETs permanent mit einer Spannung verbindet, die größer als der Ausdruck Eingangsspannung plus Schwellenspannung des PMOS-FETs minus Diodenspannung eines pn-Übergangs des PMOS-FETs ist, und den ersten steuerbaren Schalter mit einem bestimmten Tastgrad zeitlich so steuert, daß die Ausgangsspannung den Sollwert erreicht. Durch den erfindungsgemäßen Wandler läßt sich sowohl eine Erhöhung als auch eine Erniedrigung einer Eingangsspannung erzielen. Er läßt sich bevorzugt in Verbindung mit batteriebetriebenen Geräten einsetzen, die eine bestimmte Sollspannung benötigen.

Fig. 2

112

Fig. 1

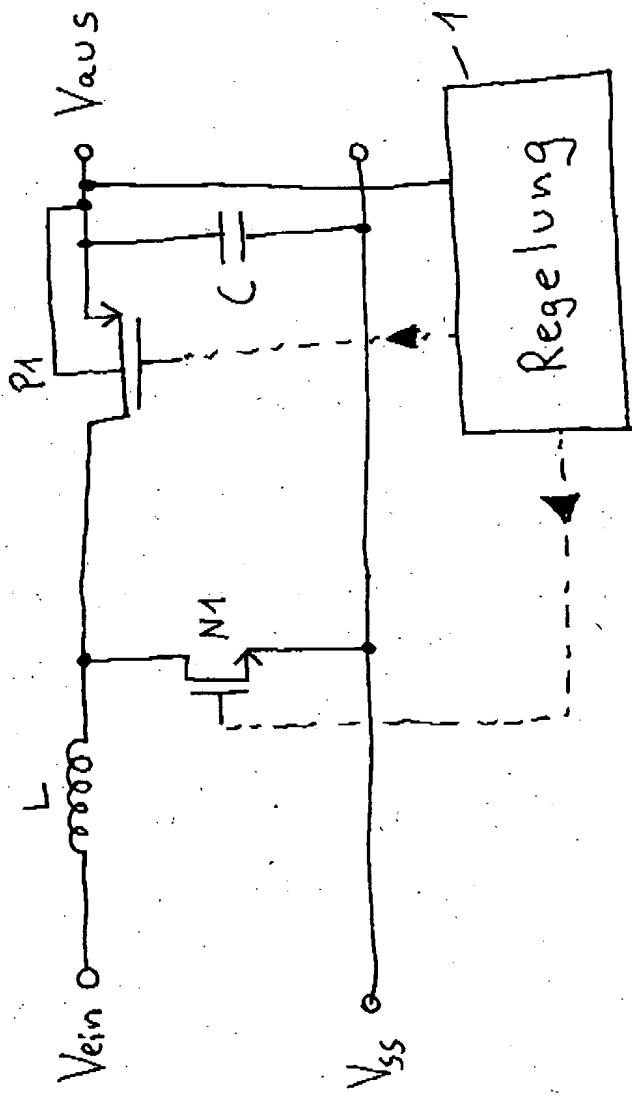
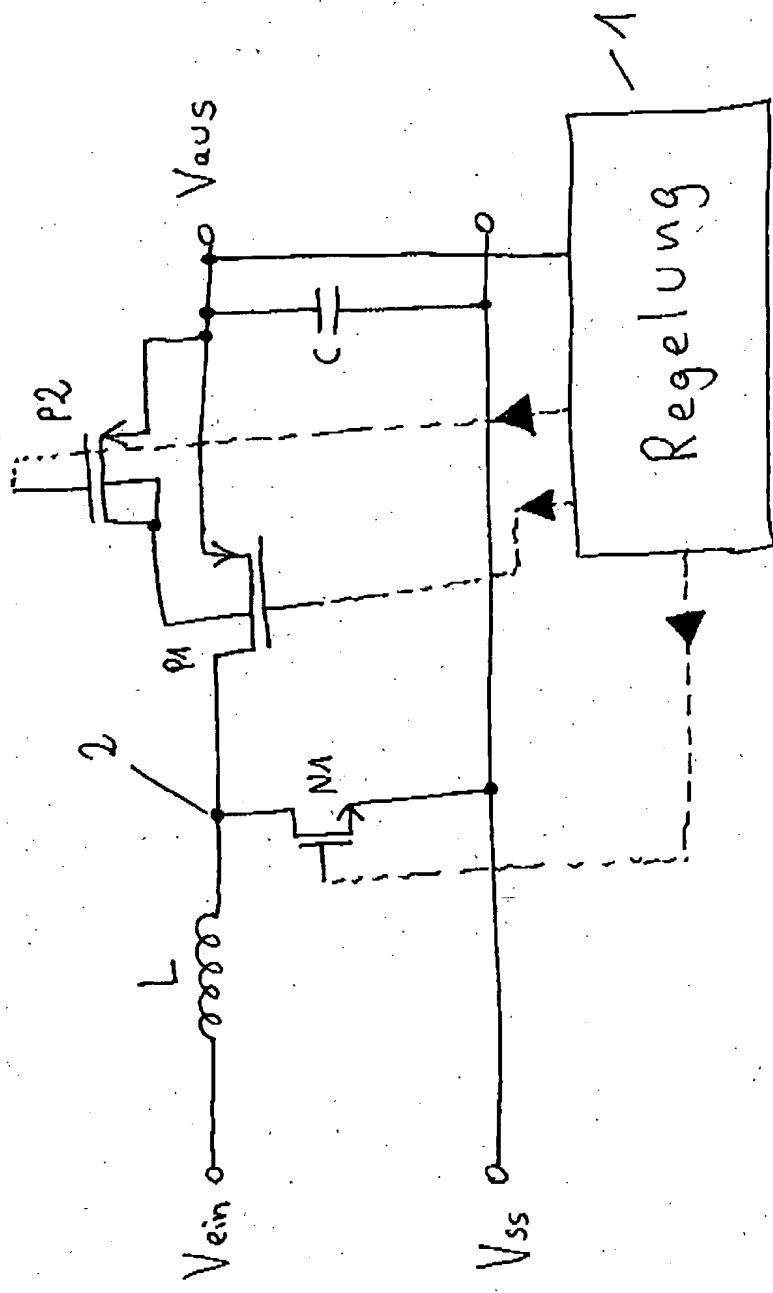




Fig. 2



GESAMT SEITEN 16